

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PCT

世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願



<p>(51) 国際特許分類 G06F 12/08</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/19242</p> <p>(43) 国際公開日 1998年5月7日(07.05.98)</p>
<p>(21) 国際出願番号 PCT/JP96/03172</p> <p>(22) 国際出願日 1996年10月30日(30.10.96)</p> <p>(71) 出願人 (米岡を除くすべての指定国について) 株式会社日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) 日立超エル・エス・アイ・エンジニアリング株式会社 (HITACHI ULSI ENGINEERING CORP.)(JP/JP) 〒187 東京都小平市上水本町5丁目20番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 山崎孝永(YAMAZAKI, Takanaga)(JP/JP) 〒206 東京都多摩市員取二丁目2番地12-202 Tokyo, (JP) 赤尾 泰(AKAO, Yasushi)(JP/JP) 〒185 東京都国分寺市東恋ヶ窪6-14-39 Tokyo, (JP) 倉貝桂一(KURAKAZU, Keiichi)(JP/JP) 〒359 埼玉県所沢市大字上山口5003番地の12 Saitama, (JP) 大泉正恭(OHIZUMI, Masayasu)(JP/JP) 〒196 東京都昭島市美鳩町5-5-7 日立超L拜島寮 Tokyo, (JP) 片岡 健(KATAOKA, Takeshi)(JP/JP) 〒167 東京都杉並区下井草4-20-28 Tokyo, (JP)</p> <p>中井電男(NAKAI, Tatsuo)(JP/JP) 〒187 東京都小平市上水本町5-22-3 若葉東寮C110 Tokyo, (JP) 宮崎光弘(MIYAZAKI, Mitsuhiro)(JP/JP) 〒189 東京都東村山市恩多町1-59-2 グリーンドームB325 Tokyo, (JP) 村山洋介(MURAYAMA, Yosuke)(JP/JP) 〒189 東京都東村山市恩多町1-59-2 グリーンドームB319 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 玉村静世(TAMAMURA, Shizuyo) 〒271 千葉県松戸市松戸1333番地1 コスモ松戸ステーションスクエア209号 Chiba, (JP)</p> <p>(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>		
<p>(54) Title: DATA PROCESSOR AND DATA PROCESSING SYSTEM</p> <p>(54) 発明の名称 データプロセッサ及びデータ処理システム</p> <div data-bbox="240 1192 1356 1507"> <p>(1) ... direct</p> <p>(2) ... two-way</p> <p>3, 4 ... cache memory</p> <p>5, 6 ... area designation circuit</p> </div> <p>(57) Abstract</p> <p>A data processor including a central processing unit, a plurality of direct map cache memories (3, 4), and a plurality of area designation circuits (5, 6) for designating variably the positions and the sizes of address areas in a memory space managed by the central processing unit, wherein the address areas designated by a plurality of area designation circuits are partially overlapped, so that the overlapped area (Eco) functions as two-way set associative cache memories by combining a plurality of cache memories. Each cache memory functions as a direct map cache memory for the non-overlap area. Information is predetermined about locations of routines in the address area and the required speed for desirable data processing. When a cache object area is assigned to a plurality of cache memories, they are operated as a set associative cache for a task or a data area particularly requiring a higher operation speed. In this way, the cache hit rate in a necessary area can be improved and the system can be optimized.</p>		

(19) 日本国特許庁 (JP)

再公表特許 (A 1)

(11) 国際公開番号

WO 98 / 1 9 2 4 2

発行日 平成12年5月30日 (2000. 5. 30)

(43) 国際公開日 平成10年5月7日 (1998. 5. 7)

(51) Int. Cl. 7

識別記号

F I

G 0 6 F 12/08

審査請求 未請求 予備審査請求 有

(全 2 9 頁)

出願番号 特願平10-520264
(21) 国際出願番号 PCT/JP96/03172
(22) 国際出願日 平成8年10月30日 (1996. 10. 30)
(81) 指定国 E P (A T, B E, C H, D E, D K, E S, F I, F R, G B, G R, I E, I T, L U, M C, N L, P T, S E), C N, J P, K R, S G, U S

(71) 出願人 株式会社日立製作所
東京都千代田区神田駿河台4丁目6番地
(71) 出願人 日立超エル・エス・アイ・エンジニアリング株式会社
東京都小平市上水本町5丁目20番1号
(72) 発明者 山崎 尊永
東京都多摩市貝取2丁目2番地12-202
(72) 発明者 赤尾 泰
東京都国分寺市東恋ヶ窪6-14-39
(72) 発明者 倉貝 桂一
埼玉県所沢市大字上山口5003番地の12
(74) 代理人 弁理士 玉村 静世

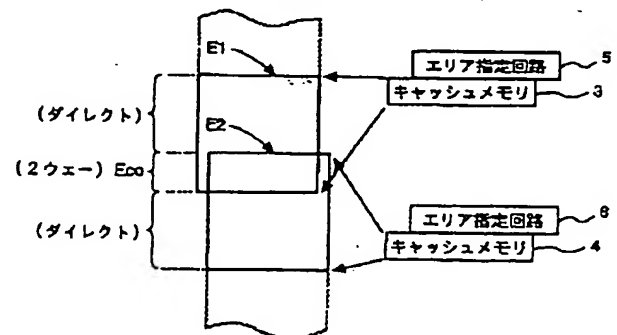
最終頁に続く

(54) 【発明の名称】 データプロセッサ及びデータ処理システム

(57) 【要約】

中央処理装置と複数個のダイレクトマップのキャッシュメモリ (3, 4) を含むデータプロセッサは、中央処理装置が管理するメモリ空間の中のアドレスエリアの位置と大きさを可変可能に指定する複数個のエリア指定回路 (5, 6) を有し、複数個のエリア指定回路に指定されたアドレスエリアを部分的に重複させることにより、重複されたエリア (Eco) は複数個のキャッシュメモリを合わせて2ウェー・セット・アソシアティブ・キャッシュメモリとして機能される。非重複エリアに対しては夫々のキャッシュメモリはダイレクトマップのキャッシュメモリとして機能される。どの処理ルーチンがどのアドレスエリアに配置され、それをどのくらいの速度で実行すれば必要なデータ処理能力を得られるかについて予め判断して、複数個のキャッシュメモリに対するキャッシュ対象エリアを割り当てるとき、動作の高速化を特に要するようなタスク若しくはデータのエリアに対しては複数個のキャッシュメモリを合わせてセット・アソシアティブ・キャッシュとして動作させることにより、必要なエリアのキャッシュヒット率を向上させてシステムを

第5図



【特許請求の範囲】

1. 中央処理装置と、この中央処理装置が管理するメモリ空間の中のアドレスエリアの位置と大きさが可変可能に指定される複数のエリア指定手段と、夫々のエリア指定手段に対応して設けられ当該エリア指定手段に指定されたアドレスエリアへの前記中央処理装置によるアクセスを検出する検出手段と、中央処理装置に内部バスを介して結合されると共に複数の前記検出手段に個別に対応して設けられキャッシュヒットの状態に応じてヒットに係るデータを前記内部バスに出力する複数のキャッシュメモリと、キャッシュメモリにおけるキャッシュヒット／ミスの判定結果と前記アクセス検出手段による検出結果に基づいてキャッシュミスにおけるキャッシュフィル動作を一つのキャッシュメモリに対して制御するキャッシュ制御手段と、を含んで成るものであることを特徴とするデータプロセッサ。
2. 前記エリア指定手段はアドレスエリアの位置と大きさを指定するためのレジスタ手段を備え、当該レジスタ手段は前記中央処理装置によってアクセスされるものであることを特徴とする請求の範囲第1項記載のデータプロセッサ。
3. 前記複数のエリア指定手段はアドレスエリアの位置を相互に重複させて指定可能にされて成るものであることを特徴とする請求の範囲第1項又は第2項記載のデータプロセッサ。
4. 一つの検出手段が指定アドレスエリアへの中央処理装置によるアクセスを検出したとき、この検出手段に対応されるキャッシュメモリがキャッシュミスである場合、キャッシュ制御手段はその検出手段に対応されるキャッシュメモリに対してキャッシュフィルを行なうものであることを特徴とする請求の範囲第3項記載のデータプロセッサ。
5. 複数の検出手段が指定アドレスエリアへの中央処理装置によるアクセスを検出したとき、それら検出手段に対応される全てのキャッシュメモリがキャッシュミスである場合、キャッシュ制御手段は、何れか一つのキャッシュメモリに対してキャッシュフィルを行なうものであることを特徴とする請求の範囲第3項記載のデータプロセッサ。

6. 前記キャッシュメモリは、それに対応される検出手段が指定アドレスエリアへのアクセスを検出したときインデックス動作及びキャッシュヒット／ミスの判定動作が可能にされて成るものであることを特徴とする請求の範囲第3項記載のデータプロセッサ。

7. 前記キャッシュメモリは、インデックス動作及びキャッシュヒット／ミスの判定動作が可能にされたとき、キャッシュヒット／ミスの判定結果がキャッシュヒットである場合に、ヒットに係るキャッシュラインのデータ部からデータを内部バスに出力するバッファ手段を有して成るものであることを特徴とする請求の範囲第6項記載のデータプロセッサ。

8. 中央処理装置と、この中央処理装置が管理するメモリ空間の中のアドレスエリアの位置と大きさが可変可能に指定される複数個のエリア指定手段と、夫々のエリア指定手段に対応して設けられ当該エリア指定手段に指定されたアドレスエリアへの前記中央処理装置によるアクセスを検出する検出手段と、中央処理装置に内部バスを介して結合され複数個の前記検出手段に個別に対応して設けられた複数個のキャッシュメモリと、キャッシュメモリにおけるキャッシュヒット／ミスの判定結果と前記アクセス検出手段による検出結果に基づいて複数個のキャッシュメモリを制御するキャッシュ制御手段と、を含んで成るものであることを特徴とするデータプロセッサ。

9. 中央処理装置と、この中央処理装置が管理するメモリ空間の中のアドレスエリアの位置と大きさが指定される複数個のエリア指定手段と、夫々のエリア指定手段に対応して設けられ当該エリア指定手段に指定されたアドレスエリアへの前記中央処理装置によるアクセスを検出する検出手段と、中央処理装置に内部バスを介して結合され複数個の前記検出手段に個別に対応して設けられた複数個のキャッシュメモリとを含み、

前記複数個のキャッシュメモリは第1及び第2のダイレクトマップのキャッシュメモリを含み、第1及び第2のダイレクトマップのキャッシュメモリに対応されるエリア指定手段は相互の指定アドレスエリアの位置が部分的に重複され、指定アドレスエリアの重複部分において前記第1及び第2のダイレクトマップの

キャッシュメモリは合わせて一つのセット・アソシアティブ・キャッシュメモリとされて成るものであることを特徴とするデータプロセッサ。

10. 中央処理装置と、この中央処理装置が管理するメモリ空間の中のアドレスエリアの位置と大きさが指定される複数個のエリア指定手段と、夫々のエリア指定手段に対応して設けられ当該エリア指定手段に指定されたアドレスエリアへの前記中央処理装置によるアクセスを検出する検出手段と、中央処理装置に内部バスを介して結合され複数個の前記検出手段に個別に対応して設けられた複数個のキャッシュメモリとを含み、

前記複数個のキャッシュメモリは第1、第2及び第3のダイレクトマップのキャッシュメモリを含み、第1、第2及び第3のダイレクトマップのキャッシュメモリに対応されるエリア指定手段は相互の指定アドレスエリアの位置が部分的に重複され、指定アドレスエリアの重複部分において前記第1、第2及び第3のダイレクトマップのキャ

ッシュメモリは合わせて一つのセット・アソシアティブ・キャッシュメモリとされて成るものであることを特徴とするデータプロセッサ。

11. 前記内部バスに外部バスインタフェース手段が結合され1個の半導体基板に形成されて成るものであることを特徴とする請求の範囲第1項記載のデータプロセッサ。

12. 請求の範囲第11項記載のデータプロセッサと、このデータプロセッサの外部バスインタフェース手段に接続された外部バスと、この外部バスに接続されたメモリとを含んで成るものであることを特徴とするデータ処理システム。

【発明の詳細な説明】**データプロセッサ及びデータ処理システム****技術分野**

本発明は、キャッシュメモリを含んだデータプロセッサに係り、特に要求仕様に応じてキャッシュメモリの構成若しくは機能の変更を容易化する技術に関し、例えば組み込み機器制御用のRISC (Reduced Instruction Set Computer) プロセッサに適用して有効な技術に関する。

背景技術

RISCアーキテクチャを持つデータプロセッサの殆どは、データ処理を高速化するために、見掛け上1個の命令を1クロックサイクル(1パイプラインステージ)で実行するパイプライン技術を採用し、更に、オペランドアクセスや命令アクセスを高速化するためにキャッシュメモリを搭載する。このようなRISCプロセッサについて記載された文献の例としては、「日経エレクトロニクス No. 601 (1994年2月14日に日経PB社発行)」の第79頁～第92頁がある。

上記文献にも記載されるように、キャッシュメモリのキャッシュミス率は、キャッシュメモリのサイズやキャッシュラインのサイズと相関を有している。

また、キャッシュメモリの形式には、ダイレクトマップやセット・アソシアティブなどの構成がある。ダイレクトマップは、与えられたアドレス信号の上位側の一部をインデックスアドレスとしてキャッシュラインを選択し、選択されたキャッシュラインに含まれるキャッシュタグを前記アドレス信号の上位側の残りと比較し、一致したならば、前記選

択されたキャッシュラインに含まれるデータを用いるようにするという構成である。セットアソシアティブは、ダイレクトマップの構成を並列配置し、一つのインデックスアドレスに複数のキャッシュラインが存在する様にしたものであり、その性質上、キャッシュヒット率は前記ダイレクトマップよりも高くされる。

キャッシュメモリの構成としてダイレクトマップを利用するかセット・アソシアティブを利用するか、また、キャッシュメモリの容量をどの程度にするかは、

キャッシュメモリを内蔵するデータプロセッサの用途などによって決まるところが多い。特に、機器組み込み制御の用途では、要求仕様に応じた周辺回路モジュールを特別に搭載することも必要になるから、キャッシュメモリによるチップ占有面積は必要最小限とすることが望ましい。また、キャッシュメモリによる消費電力も考慮しなければならないことがある。

データプロセッサに内蔵されるキャッシュメモリについて本発明者が検討したところによれば、全部で4 Kバイトの4ウェー・セット・アソシアティブ形式のキャッシュメモリを搭載したデータプロセッサを製品展開するとき、チップサイズを縮小するために、当該キャッシュメモリの検証済み設計データ（モジュールライブラリのデータ）から一部のウェーを分離してダイレクトマップのキャッシュメモリとして単独利用可能に変更することは実質的に不可能であり、キャッシュメモリの全体的な設計変更を余儀なくされる。また、セット・アソシアティブ形式のキャッシュメモリは同時に複数のウェーを動作させるため、ダイレクトマップに比べて消費電力が多い。

また、4ウェー・セット・アソシアティブ形式のキャッシュメモリの一つのウェーの容量に相当するダイレクトマップのキャッシュメモリは、当然セット・アソシアティブ形式に比べてチップ占有面積が小さく、

電力消費量も小さいが、キャッシュヒット率は低下される。このようなダイレクトマップ形式のキャッシュメモリを備えたデータプロセッサの製品展開において、キャッシュメモリの容量を増やそうとしても、記憶容量を単純に増やすことは不可能であり、やはり同様にキャッシュメモリの全体的な再設計が必要になる。

このように、キャッシュメモリを内蔵したデータプロセッサの製品展開において元々のキャッシュメモリの容量を増減したり、キャッシュの構造をダイレクトマップからセット・アソシアティブに、またその逆に変更するには、元々のキャッシュメモリのキャッシュラインのアレイを再設計しなければならないという問題点のあることが本発明者によって明らかにされる。

また、キャッシュメモリに関し、マルチユーザ若しくはマルチタスクシステム

下において仮想記憶の論理ページ若しくはタスクの性質に対応させてキャッシュメモリを割り当てたりする技術が、例えば特開昭55-8628号公報、特開昭62-276644号公報、特開平4-49446号公報及び特開昭62-145341号公報に記載されている。この技術においても、上述のようにデータプロセッサの製品展開に際して内蔵キャッシュメモリの機能若しくは構成を変更することに関しキャッシュメモリの設計資産を極力生かす事ができるようにするという観点はない。論理ページやタスク等の性質に対応されているキャッシュメモリはあくまでもそれ固有の一つのキャッシュメモリであり、キャッシュメモリの機能若しくは構成の変更を容易化するための手段を持っていない。

本発明の目的は、システムに実装された状態で内蔵キャッシュメモリの機能を変更できるデータプロセッサを提供することにある。

本発明の別の目的は、キャッシュメモリ内蔵データプロセッサの製品展開のためのキャッシュメモリの機能変更若しくは構造変更を容易化する技術を提供することにある。

本発明のその他の目的は、キャッシュメモリの機能若しくは構造の点からデータ処理能力と電力消費量とを容易に最適化できるデータプロセッサ、そしてデータ処理システムを提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は本明細書の以下の記述から明らかにされるであろう。

発明の開示

本発明に係るデータプロセッサは、中央処理装置と、この中央処理装置が管理するメモリ空間の中のアドレスエリアの位置と大きさが可変可能に指定される複数個のエリア指定手段と、夫々のエリア指定手段に対応して設けられ当該エリア指定手段に指定されたアドレスエリアへの前記中央処理装置によるアクセスを検出する検出手段と、中央処理装置に内部バスを介して結合され複数個の前記検出手段に個別に対応して設けられた複数個のキャッシュメモリと、キャッシュメモリのキャッシュヒット／ミスの判定結果と前記アクセス検出手段による検出結果に基づいて夫々のキャッシュメモリを制御するキャッシュ制御手段と、を含む。

例えばこのデータプロセッサは1個の半導体基板に形成されている。

前記データプロセッサに採用する前記キャッシュメモリの数はそれによるチップ占有面積が許す範囲で任意である。採用されるキャッシュメモリの数に応じてキャッシュコントローラの論理が僅かに変更されるだけで済む。したがって、前記データプロセッサを製品展開する（ユーザの要求仕様に応じて内蔵回路の追加若しくは内蔵回路の機能等を

変更する）場合、キャッシュメモリのキャッシュラインを構成するアドレスアレイやデータアレイを最初から新たに設計することを要しない。

また、個々のキャッシュメモリを機能させるアドレス範囲は可変可能であるから、例えばタスク毎若しくは一群のタスク毎のアドレスエリアに分けてキャッシュメモリを機能させることができる。従って、タスクの切換え時にキャッシュミスが続くという事態を解消でき、キャッシュメモリの能力を最大限に引き出して、データ処理効率を向上させることができる。このような作用は、ハードウェアによって固定されない。換言すれば、どのタスクのプログラムエリアをどのキャッシュメモリに担わせるかは、エリア指定手段の設定次第で可変である。したがって、組み込み機器制御用途などに適用されるデータプロセッサの製品展開に際して、キャッシュメモリの割り当てをそのシステムに最適化することが容易である。そのようなエリアの割り当ては、タスク毎に利用するデータ領域等に対しても適用できる。

前記エリア指定手段はアドレスエリアの位置と大きさを指定するためのレジスタ手段を備え、中央処理装置がその動作プログラムに従って当該レジスタ手段を設定することができる。これによれば、システムに実装された状態で、若しくは、ソフトウェア即ちCPUが実行する動作プログラムによって、キャッシュメモリを割り当てるタスクやデータブロックを可変にできることになる。

特に禁止されない限り、前記複数個のエリア指定手段はアドレスエリアの位置を相互に重複させて指定可能である。個々のキャッシュメモリがダイレクトマップ形式である場合、アドレスエリアが重複された部分では、重複アドレスエリアが設定されている複数個のキャッシュメモリはセット・アソシアティブ形式のキ

キャッシュメモリと実質的に同じように機能される。個々のキャッシュメモリが n ウェー・セット・アソシア

ティブ形式である場合、アドレスエリアが重複された部分では、重複アドレスエリアが設定されている m 個のキャッシュメモリは $m \times n$ ウェーのセット・アソシアティブ形式のキャッシュメモリと実質的に同じように機能される。このように、アドレスエリアを部分的に重複させるようにエリア指定を行えば、キャッシュヒット率を向上させるように複数個のキャッシュメモリの機能を変更できる。しかも、その機能を上述の通りソフトウェアによって決定することも可能である。どの処理ルーチンがどのアドレスエリアに配置され、それをどのくらいの速度で実行すれば必要なデータ処理能力を得られるかについて予じめ判断して、複数個のキャッシュメモリに対するキャッシュ対象エリアを割り当てるとき、動作の高速化を特に要するようなタスク若しくはデータのエリアに対しては複数個のキャッシュメモリを合わせてセット・アソシアティブ・キャッシュとして動作させることにより、必要なエリアのキャッシュヒット率を向上させてシステムを最適化できる。

前記キャッシュメモリは、キャッシュヒットの状態に応じてヒットに係るデータを内部バスに出力する。前記キャッシュ制御手段は、キャッシュメモリのキャッシュミスに際して、ミスに係るデータを新たなエントリとしてキャッシュラインに追加するキャッシュフィル動作を、一つのキャッシュメモリに対して行う。したがって、エリア指定が複数個のキャッシュメモリに関して重複している場合であっても、個々のキャッシュメモリで判定されるキャッシュヒットの状態は排他的に一つのキャッシュメモリで得られることになる。複数個のキャッシュメモリが並列的にキャッシュヒットの状態を判定することはない。

一つの検出手段が指定アドレスエリアへの中央処理装置によるアクセスを検出したとき、この検出手段に対応されるキャッシュメモリがキャッシュミスである場合、キャッシュ制御手段はその検出手段に対応さ

れるキャッシュメモリに対してキャッシュフィルを行なうことになる。

複数の検出手段が指定アドレスエリアへの中央処理装置によるアクセスを検出したとき、それら検出手段に対応される全てのキャッシュメモリがキャッシュミスである場合、キャッシュ制御手段は、何れか一つのキャッシュメモリに対してキャッシュフィルを行なうことになる。

前記キャッシュメモリのインデックス動作及びキャッシュヒット／ミスの判定動作を、それに対応される検出手段が指定アドレスエリアへのアクセスを検出したとき可能にすれば、キャッシュライン選択動作などに要する消費電力を、複数のキャッシュメモリ全体として低減できる。

前記キャッシュメモリにおいて、それに対応される検出手段が指定アドレスエリアへの中央処理装置によるアクセスを検出することにより動作可能にされたとき、キャッシュヒット／ミスの判定結果がキャッシュヒットである場合に、バッファ手段がヒットに係るキャッシュラインのデータ部からデータを内部バスに出力することができる。

図面の簡単な説明

第1図は本発明の一実施例に係るデータプロセッサのブロック図、

第2図は一つのキャッシュメモリの一例を示すブロック図、

第3図はエリア指定回路及びアクセス検出回路の一例を示すブロック図、

第4図は一对のエリア指定回路で相互に異なるエリアを指定したときの状態を示すアドレスマップ、

第5図は一对のエリア指定回路で部分的に重複してエリアを指定したときの状態を示すアドレスマップである。

第6図は3個のキャッシュメモリのキャッシュ対象エリアを相互に

重複させた状態の一例を示すアドレスマップである。

発明を実施するための最良の形態

第1図には本発明の一実施例に係るデータプロセッサのブロック図が示されている。同図に示されるデータプロセッサ1は、特に制限されないが、公知の半導体集積回路製造技術によって単結晶シリコンのような1個の半導体基板に形成されている。

第1図において2で示されるものは中央処理装置（CPUとも称する）、3，4で示されるものはキャッシュメモリ、5，6で示されるものはエリア指定回路、7，8で示されるものはアクセス検出回路、9で示されるものはキャッシュコントローラ、10で示されるものはバスコントローラ、11で示されるものは外部バスインタフェース回路であり、それらはアドレスバス12とデータバス13に共通接続されている。

CPU 2は、特にその詳細は図示を省略するが、命令制御部と演算実行部を有する。命令制御部は、プログラムカウンタの値に従って命令を命令レジスタにフェッチし、フェッチした命令をデコードして、命令実行に必要な各種制御信号を生成する。演算実行部は、命令制御部で生成された制御信号に従って、オペランドを内部レジスタに取り込んで命令コードによって指定される操作を実行する。実行結果は、必要に応じてメモリにストアされ、或いはレジスタにロードされる。データプロセッサがRISCアーキテクチャを有する場合、前記命令制御部及び演算実行部はパイプライン形式で命令を実行していく。パイプラインのフロー制御は命令制御部が行う。

前記エリア指定回路5，6は、CPU 2が管理するメモリ空間の中のアドレスエリアの位置と大きさを可変に指定することができる回路である。前記アクセス検出回路7，8は、前記エリア指定回路5，6に対

応して設けられ、当該エリア指定回路5，6に指定されたアドレスエリアへの前記CPU 2によるアクセスを検出する回路である。CSL 1，CSL 2はアクセス検出回路7，8が出力する検出信号であり、これら信号CSL 1，CSL 2はアクセス検出によって例えばハイレベル（イネーブル）にされる。

前記キャッシュメモリ3，4は、前記アクセス検出回路7，8に例えば1対1対応で設けられている。CH 1，CH 2はキャッシュメモリ3，4のキャッシュヒット／ミスの判定結果を示すためのヒット信号であり、それら信号はキャッシュヒットに応じてハイレベル（イネーブル）にされる。

前記キャッシュコントローラ9は、前記ヒット信号CH 1，CH 2とアクセス検出信号CSL 1，CSL 2などに基づいて夫々のキャッシュメモリ3，4を制

御する論理を有している。前記バスコントローラ 10 は CPU 2 等が外部アクセスを必要とするとき、外部バスインタフェース回路 11 を介する外部バスアクセスサイクルを制御する。このバスコントローラ 10 は前記キャッシュコントローラ 9 に接続され、キャッシュミスに起因してキャッシュコントローラ 9 が当該キャッシュミスに係るデータを外部から取得するために必要な外部バスサイクルを起動する。

特に制限されないが、データプロセッサ 1 は周辺アドレスバス 18 及び周辺データバス 19 に結合された周辺回路としてシリアル入力回路 14、タイマ 15、16 等を有し、それらは、バスコントローラ 10 を介して CPU 2 とインタフェースされている。前記外部バスインタフェース回路 11 には外部アドレスバス 20 と外部データバス 21 が接続されている。双方のバス 20、21 に接続された外部デバイスとして DRAM (Dynamic Random Access Memory) 或いは SRAM (Static Random

Access Memory) によって構成されるようなメインメモリ 17 が代表的に示されている。

第 3 図には前記エリア指定回路 5 とアクセス検出回路 7 の一例が示されている。

エリア指定回路 5 はベースレジスタ (BR) 50 とレンジレジスタ (RR) 51 を有する。夫々のレジスタ 50、51 は前記データバス 13 を介して CPU 2 がその動作プログラムに従って任意に値を設定することができる。図ではそれらレジスタ 50、51 の選択信号は図示を省略してあるが、CPU 2 が個別的にレジスタを指定してデータをロードできるようになっている。ベースレジスタ 50 には指定すべきエリアの先頭アドレスが設定される。レンジレジスタ 51 にはエリアの大きさを示すデータが設定される。夫々のレジスタ 50、51 はアドレスバス 12 上のアドレス信号のビット数に一致するビット数を有する。

アクセス検出回路 7 は、ベースレジスタ 50 に設定されたエリア先頭アドレスとアドレスバス 12 のアドレス信号とをビット対応で全ビット比較する複数の排他的ノアゲート (ENOR) 70 を有する。排他的ノアゲート 70 の出力は、

比較結果が一致のビットに対応されるものがハイレベルにされる。排他的ノアゲート70の出力は前記レンジレジスタ51が保有するデータとビット単位で全ビットに対してオアゲート71で論理和が採られる。オアゲート71の全ての出力はアンドゲート72で論理積が採られ、その論理積信号がアクセス検出信号CSL1とされる。このアドレス検出回路7の論理構成から明らかなように、レンジレジスタ51の最下位側（図の右方向）から配置された論理値1のビット列はそのビット数によってアドレス範囲を指定することになる。例えば、BR=“1000000”のとき、RR=00001111とすれば、アドレスバス12の値が“10000000”～“1000

1111”の範囲においてアクセス検出信号CSL1がハイレベルにされる。換言すれば、レンジレジスタ（RR）51の値、特にその最下位側からの論理値1のビット列はマスクビット列として機能される。但し、この構成は、指定できるアドレスエリアの大きさが2のべき乗の大きさに限られる。指定できるエリアの大きさも完全任意とする場合には、アクセス検出回路の構成が複雑になるが、エリア指定回路には先頭アドレスと最終アドレスを設定し、アクセス検出回路はそれらのアドレスとアドレスバス上のアドレスとを夫々大小比較するように構成し、そのアドレス範囲に入っているときアクセス検出信号をイネーブルにすればよい。

他方のアクセス検出回路8及びエリア指定回路6についてはその詳細な図示を省略してあるが、上記同様に構成されている。

第2図には前記キャッシュメモリ3の一例が示される。このキャッシュメモリ3は、特に制限されないが、ダイレクトマップとされる。キャッシュメモリ3はアドレスアレイ32Aとデータアレイ32Dから成るメモリセルアレイ32に複数のキャッシュラインを含んで構成される。キャッシュラインは、一つのインデックスアドレス（エントリアドレス）によって選択される記憶領域であり、特に制限されないが、キャッシュタグCTAG、バリッドビットV及び複数バイトのキャッシュデータCDATAが格納されることになる。前記バリッドビットVはそれを含むキャッシュラインの有効性を示し、その論理値1が有効、論理値0が

無効を意味する。キャッシュラインはインデックスデコーダ 33 によって選択される。アドレスバス 12 に供給されるアドレス信号をキャッシュメモリ 3 のメモリセルアレイ 32 の構成に対応させると、それは、タグアドレス ATAG、インデックスアドレス AIDX 及びライン内バイトアドレス ALNE として把握することができる。

インデックスアドレス AIDX はインデックスデコーダ 33 に供給される。これによって選択されたキャッシュラインのキャッシュタグ CTAG は比較回路 34 でタグアドレス ATAG と比較される。この比較結果は前記選択されたキャッシュラインのバリッドビット V と共にヒット信号生成回路 37 に供給される。ヒット信号生成回路 37 は、これに供給されたバリッドビット V が当該キャッシュラインの有効性を示し、且つ比較回路 34 による比較結果が一致である場合にだけ、キャッシュヒットと判定して、キャッシュヒット信号 CH1 をイネーブル（ハイレベル）にする。それ以外の場合はキャッシュヒット信号 CH1 をディスエーブル（ローレベル）に保つ。

選択されたキャッシュラインに含まれるキャッシュデータ CDATA は、バイト選択デコーダ 35 がライン内バイトアドレス ALNE をデコードすることによってセクタ 36 で選択される。セクタはデータを双方向に通し得るスイッチ回路であり、このセクタとベータバス 13 との間には入出力バッファ 39 が配置されている。このキャッシュメモリ 3 に対応されるアクセス検出信号 CSL1 と前記キャッシュヒット信号 CH1 は 2 入力型のアンドゲート 38 に供給され、このアンドゲート 38 の出力が前記入出力バッファ 39 のデータ出力制御信号 DRD1 とされ、データ出力制御信号 DRD1 のハイレベルによって、セクタ 36 が選択したバイトデータをデータバス 13 に出力させる。この説明から明らかなように、キャッシュメモリ 3 は、それに対応されるアクセス検出回路 7 がキャッシュメモリ 3 の割り当てエリアに対するアクセスを検出し、且つキャッシュヒットの状態が得られたとき、ヒットに係るデータを出力する。入出力バッファ 39 の出力制御をキャッシュヒット信号 CH1 だけで行うことも当然可能である。本実施例において、入出力バッファ 39 の出力制御にアクセス検出信号 CSL1

も用いる

のは、顕在化されていない誤動作の虞を未然に防止するためであり、本質的な要請によるものではない。また、インデックスデコーダ33はアクセス検出信号CSL1がイネーブルにされたとき、活性化されて選択動作を行う。特に図示はしないが、比較回路、ヒット信号生成回路、バイト選択デコーダに対しても同様の活性化制御を行うことができる。このような制御は複数のキャッシュメモリ全体における低消費電力化に寄与する。

前記入出力バッファ39に対する入力制御は、キャッシュコントローラ9によるキャッシュフィル動作に応じてデータ入力制御信号DWR1が行う。キャッシュフィルの対象とされるキャッシュラインのキャッシュタグには、キャッシュミスに係るアドレス信号のタグアドレスATAGがゲート31を介して供給される。ゲート31の制御はタグアドレス書込み制御信号AWR1によって行われる。キャッシュフィル動作におけるバリッドビットVの操作はバリッドビット書込み制御信号VWR1が行う。前記制御信号DWR1、AWR1、VWR1は夫々キャッシュコントローラから出力される。

他方のキャッシュメモリ4についてはその詳細な図示を省略してあるが、キャッシュメモリ3と同様に構成されている。尚、第1図において、キャッシュメモリ4のための、データ出力制御信号DRD2、データ入力制御信号DWR2、タグアドレス書込み制御信号AWR2及びバリッドビット書込み制御信号VWR2は、第2図とは異なる符号を付してあるが、その機能は第2図の場合と同じである。

次に、第4図及び第5図をも参照しながら、キャッシュヒット時及びキャッシュミス時におけるキャッシュコントローラ9による制御の内容を説明する。

第4図は前記エリア指定回路5、6による指定エリアが重複しない場

合のアドレスマップを示す。第5図は前記エリア指定回路5、6による指定エリアが重複する場合のアドレスマップを示す。各図において第1エリアE1はエリア指定回路5に指定されたアドレス範囲であり、キャッシュメモリ3に適用され

るアドレス範囲（キャッシュメモリ 3 がキャッシュの対象とするアドレス範囲）とされる。第 2 エリア E 2 はエリア指定回路 6 に指定されたアドレス範囲であり、キャッシュメモリ 4 に適用されるアドレス範囲（キャッシュメモリ 4 がキャッシュの対象とするアドレス範囲）である。オーバーラップエリア E c o は第 1 エリア E 1 と第 2 エリア E 2 の重複アドレス領域である。

前記キャッシュコントローラ 9 はアクセス検出信号 C S L 1, C S L 2 とキャッシュヒット信号 C H 1, C H 2 の状態によって、どのキャッシュメモリがキャッシュミスを生じたかを認識する。第 1 エリア E 1, 第 2 エリア E 2 に対する C P U のアクセスはアクセス検出信号 C S L 1, C S L 2 がハイレベルにされることによって判断される。例えば第 4 図の場合、或いは第 5 図におけるオーバーラップエリア E c o を除く領域を C P U がアクセスする場合、双方のアクセス検出信号 C S L 1, C S L 2 がハイレベルにされることない。一方のアクセス検出信号 C S L 1 又は C S L 2 がハイレベルにされたとき、ハイレベルにされた一方のアクセス検出信号 C S L 1 又は C S L 2 に対応されるキャッシュヒット信号 C H 1 又は C H 2 を参照することによって、そのアクセスに際してキャッシュミスを生じた否かを認識できる。

上述によりキャッシュミスを認識すると、キャッシュコントローラ 9 は、キャッシュミスに係るアドレスのデータを外部のメインメモリ 17 などから読み込むための指示をバスコントローラ 10 に与える。読み込むべきデータは 1 キャッシュラインのキャッシュデータ部のバイト数に応ずるデータとされる。実際、そのような複数バイトのデータ読み込

みにはバースト転送等を利用することが多い。このときのライン内バイトアドレスの更新はバスコントローラ 9 によって行うことができる。最初に転送されるデータは、キャッシュミス時のライン内バイトアドレス A L N E による。バスコントローラ 10 は、その指示に応答して外部バスサイクルを起動する。これによって必要なデータが順次データバス 13 上で利用可能にされると、キャッシュコントローラ 9 は入力制御信号 D W R 1（又は D W R 2）によってそのデータをキャッシュミスに係るキャッシュメモリに取り込む。取り込まれたデータは、インデ

ックスされているキャッシュラインにセクタ 36 を介して書き込まれる。このようにして書き込まれたデータはキャッシュデータ C D A T A とされる。また、当該キャッシュラインにはキャッシュミスに係るアドレス信号のタグアドレス A T A G がゲート 31 を介して書き込まれる。書き込まれたタグアドレス A T A G はキャッシュタグ C T A G とされる。

キャッシュコントローラ 9 は、前記キャッシュフィルに際してどのキャッシュラインをインデックスするか（キャッシュフィルの対象にする）については種々の論理を採用することができる。例えば、キャッシュミスの判定に際して最初にインデックスされたキャッシュラインのバリッドビット V が無効を示すときはそのキャッシュラインをキャッシュフィルの対象にすることができる。キャッシュミス時にインデックスされたキャッシュラインのバリッドビット V が有効を示しているときは、ランダム、交互又は L R U (Least Recently Used) ロジックなどに従ってキャッシュフィルの対象とするキャッシュラインを決定することができる。キャッシュミスを生じたキャッシュラインのバリッドビット V の値とは無関係に前記ランダム、交互又は L R U (Least Recently Used) ロジックを採用してもよく、或いはキャッシュミスを生じたキャッシュラインを無条件にキャッシュフィルの対象にするこ

とも可能である。キャッシュヒット率の向上という点に関しては前記 L R U ロジックが最良であることが多い。

C P U 2 によるリードアクセスに際して生じたキャッシュミスの場合、そのようなキャッシュフィル動作において、キャッシュコントローラ 9 は外部から読み込まれた最初のバイトデータがデータバス上で利用可能にされるとき、C P U 2 にそれを通知する。これによって、C P U 2 はキャッシュミスに係るデータをリードする事ができる。

C P U によるライトアクセスに際して生じたキャッシュミスの場合、特に制限されないが、上記キャッシュフィル動作を行う前に、当該キャッシュミスに係るデータをキャッシュミスに係るアクセスアドレスに予じめ書き込む。

一方、第 5 図に示されるオーバーラップエリア E c o を C P U がアクセスする

場合、双方のアクセス検出信号CSL1, CSL2がハイレベルにされる。即ち、双方のキャッシュメモリでインデックス動作及びキャッシュヒット／ミスの判定動作が行われる。この場合には、双方のキャッシュヒット信号CH1及びCH2が共にローレベルの状態を以ってオーバーラップエリアEcoに対するキャッシュミスと判定する。オーバーラップエリアEcoに対するキャッシュミスが判定されとき、何れのキャッシュメモリのどのキャッシュラインをキャッシュフィルの対象とするかは、読み出しアクセス時におけるキャッシュミスの場合と同様に、キャッシュミス係るキャッシュラインのバリッドビットVの値、或いは、キャッシュコントローラ9が備えるランダム、交互又はLRU (Least Recently Used) ロジックなどに従って決定される。その他のキャッシュフィル動作は前述と変わらない。一方がキャッシュヒット、他方がキャッシュミスの状態は、オーバーラップエリアEcoに対するキャッシュヒットと判定される。キャッシュフィル動作は一方のキャッ

シュメモリに対してのみ行われるから、双方のキャッシュメモリ3, 4でキャッシュヒットを生ずることはない。キャッシュヒットとされる一方のキャッシュメモリからデータがデータバス13に読出され、或いは、書込みデータがキャッシュデータ部CDATAの所定バイト位置に書き込まれることになる。

上記実施例によれば以下の作用効果を得ることができる。

本実施例のデータプロセッサ1に採用する前記キャッシュメモリの数はそのによるチップ占有面積が許す範囲で任意である。採用されるキャッシュメモリの数に応じてキャッシュコントローラ9の論理が僅かに変更されるだけで済む。したがって、前記データプロセッサ1を製品展開するために、キャッシュメモリの容量を増減する場合にも、キャッシュメモリ2, 3の設計済みデータをそのまま流用でき、所要のキャッシュメモリを最初から新たに設計することを要しない。

また、個々のキャッシュメモリ2, 3を機能させるアドレス範囲は可変可能であるから、例えばタスク毎若しくは一群のタスク毎又はデータ領域毎のアドレスエリアに分けてキャッシュメモリを機能させることができる。例えば第4図に示されるように、タスク又は一群のタスクの格納エリアE1, E2毎にキャッシュ

メモリ 3, 4 のキャッシュ対象領域をエリア指定回路 5, 6 で割り当てることができる。したがって、タスクの切換え時にプログラムやデータに関してキャッシュミスが続くという事態を解消でき、キャッシュメモリの能力を最大限に引き出して、データ処理効率を向上させることができる。換言すれば、プログラムやデータの性質に応じてキャッシュメモリの構成を最適化することができる。このような作用は、ハードウェアによって固定されない。換言すれば、どのタスクのプログラムエリアをどのキャッシュメモリに担わせるかは、エリア指定回路 5, 6 の設定次第で可変である。これにより、

データプロセッサの製品展開に際しての対応も容易である。

前記エリア指定回路 5, 6 はアドレスエリアの位置と大きさを指定するためのレジスタ RR, BR を備え、CPU 2 がその動作プログラムに従って当該レジスタ RR, BR を設定することができる。これによれば、データプロセッサ 1 がシステムに実装された状態で、若しくは、ソフトウェア即ち CPU 2 が実行する動作プログラムによって、キャッシュメモリ 2, 3 を割り当てるタスクやデータブロックを可変にできる。

前記複数個のエリア指定回路 5, 6 はアドレスエリアの位置を相互に重複させて指定可能である。個々のキャッシュメモリ 2, 3 がダイレクトマップ形式である場合、第 5 図に例示されるように、アドレスエリアが重複された部分 Eco では、重複アドレスエリアが設定されている複数個のキャッシュメモリ 3, 4 は 2 ウェー・セット・アソシアティブ形式のキャッシュメモリと実質的に同じように機能される。個々のキャッシュメモリ 2, 3 が n ウェー・セット・アソシアティブ形式である場合、アドレスエリアが重複された部分では、重複アドレスエリアが設定されている 2 個のキャッシュメモリ 2, 3 は全体として 2 n ウェーのセット・アソシアティブ形式のキャッシュメモリと実質的に同じように機能される。また、第 6 図に例示されるように、前記キャッシュメモリ 3, 4 と同様の 3 個のダイレクトマップのキャッシュメモリ a ~ b のキャッシュ対象エリア Ea, Eb, Ec を夫々のエリア指定回路 A ~ C で部分的に重複させた場合、エリア Eab, Ec は 3 ウェー・セット・アソシアティブとして、エリア Eab 及び Ebc は 2 ウ

エー・セット・アソシアティブとして機能される。エリアE a a, E c cはダイレクトマップとして機能される。

このように、アドレスエリアを部分的に重複させるようにエリア指定を行えば、キャッシュヒット率を向上させるように複数個のキャッシュ

メモリの機能を変更できる。しかも、その機能を上述の通りソフトウェアによって決定することも可能である。機器組み込み制御用のデータプロセッサにおける動作プログラムは、どの処理ルーチンがどのアドレスエリアに配置され、それをどのくらいの速度で実行すれば必要なデータ処理能力を得られるかについて予め決定若しくは判断することができる。したがって、複数個のキャッシュメモリに対するキャッシュ対象エリアの割り当て留まらず、一つのアドレスエリアを複数個のキャッシュメモリに共通のキャッシュ対象エリアに指定して当該複数個のキャッシュメモリを合わせてセット・アソシアティブ・キャッシュとして動作させ、これによって動作の高速化を要するようなタスク若しくはデータに対してキャッシュヒット率を向上させることが可能になる。

前記キャッシュコントローラ9は、キャッシュミスに際して、ミスに係るデータを新たなエントリとしてキャッシュラインに追加するキャッシュフィル動作を、一つのキャッシュメモリに対して行う。したがって、エリア指定が複数個のキャッシュメモリに関して重複している場合であっても、個々のキャッシュメモリで判定されるキャッシュヒットの状態は排他的に一つのキャッシュメモリで得られることになる。複数個のキャッシュメモリが並列的にキャッシュヒットの状態を判定することはない。

一つのアクセス検出回路が指定アドレスエリアへのCPU2によるアクセスを検出したとき、この検出回路に対応されるキャッシュメモリがキャッシュミスである場合、キャッシュコントローラ9はその検出回路に対応されるキャッシュメモリに対してキャッシュフィルを行なうことになる。また、複数個のアクセス検出回路が指定アドレスエリアへのCPU2によるアクセスを検出したとき、それら検出回路に対応される全てのキャッシュメモリがキャッシュミスである場合、キャッシュ

コントローラは、何れか一つのキャッシュメモリに対してキャッシュフィルを行なうことになる。

前記キャッシュメモリ 2, 3 のインデックス動作及びキャッシュヒット／ミスの判定動作を、それに対応されるアクセス検出回路 7, 8 が指定アドレスエリアへのアクセスを検出したとき可能にすれば、キャッシュライン選択動作などに要する消費電力を複数個のキャッシュメモリ全体として低減できる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

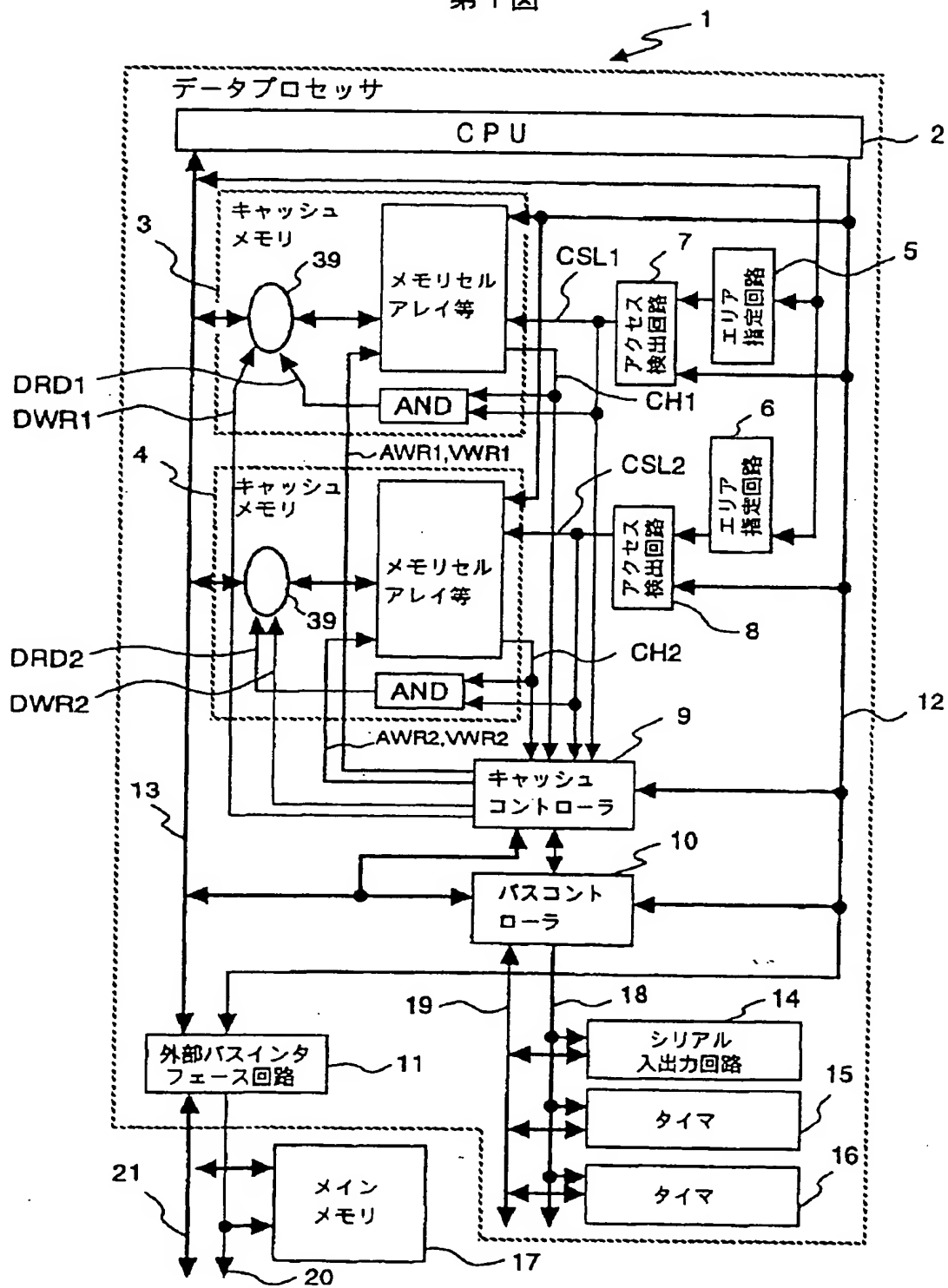
例えば、キャッシュメモリはデータキャッシュメモリと命令キャッシュメモリを分離した構成であっても、命令とデータを混在させるユニファイド・キャッシュメモリであってもよい。何れの用途を採るかは、エリア指定によって決まる。また、個々のキャッシュメモリはダイレクトマップであることに限定されず、全部又は一部がセット・アソシアティブ形式であってもよい。また、キャッシュメモリの数は 2 個又は 3 個に限定されず、4 個以上の適宜の数を採用することができる。

エリア指定回路は CPU によってアクセス可能なレジスタを含む構成に限定されず、外部端子を介してエリアを設定する構成を採用することも可能である。また、アクセス検出手段は上述の構成に限定されず適宜変更可能である。また、データプロセッサが含む回路モジュールは上記実施例に限定されず、必要に応じてその他の回路を追加又は削除することができる。また、エリア指定手段は、上記実施例におけるようなリニアにアドレスエリアを指定する構成に限定されず、飛び飛びにアドレスエリアを指定できる構成を採用することも可能である。

産業上の利用可能性

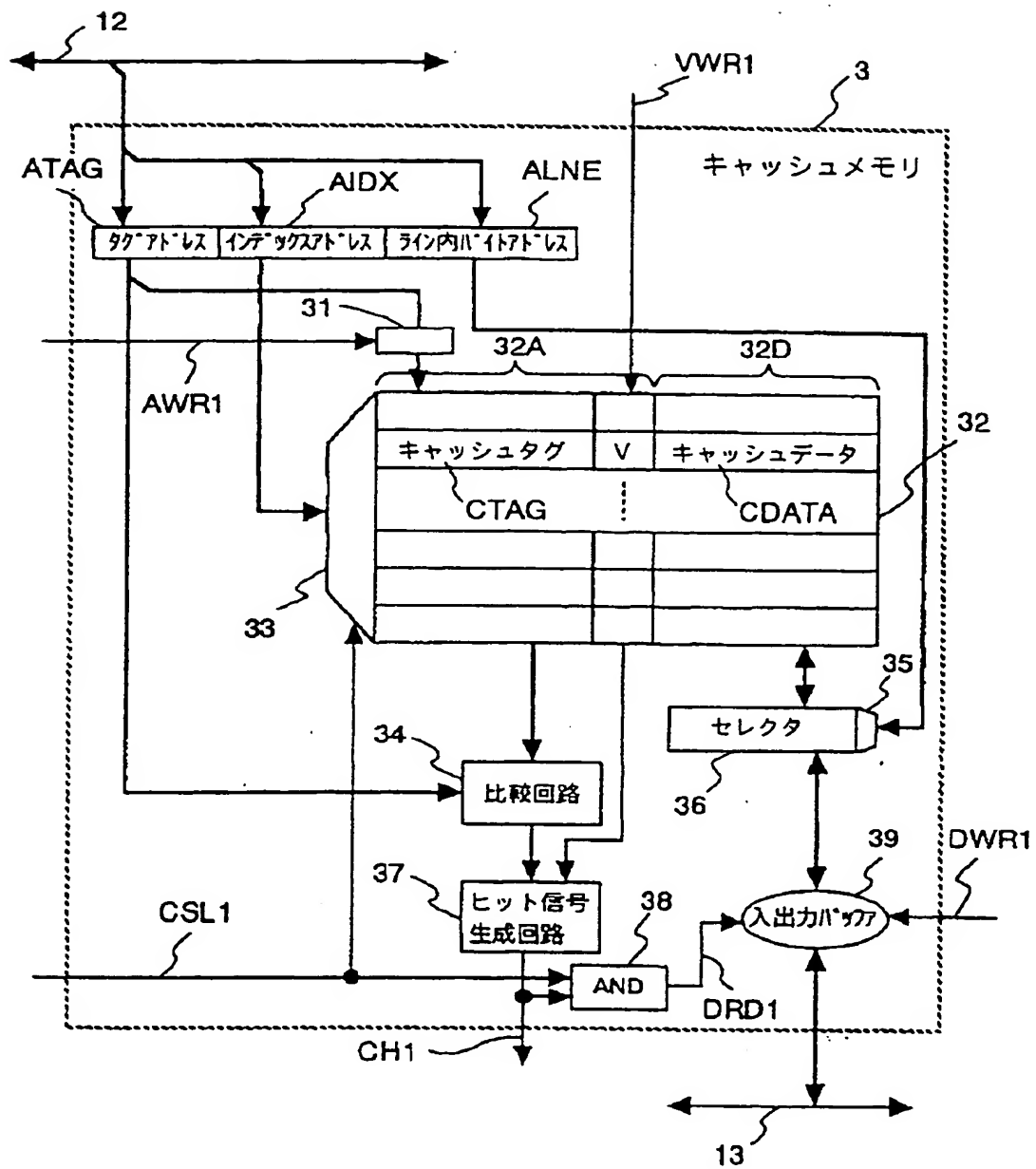
以上のように、本発明に係るデータプロセッサは、機器組み込み制御の用途などに広く適用することができ、例えば、デジタルカメラ、ゲーム機、携帯通信端末、携帯情報端末などに適用することができる。

第 1 図



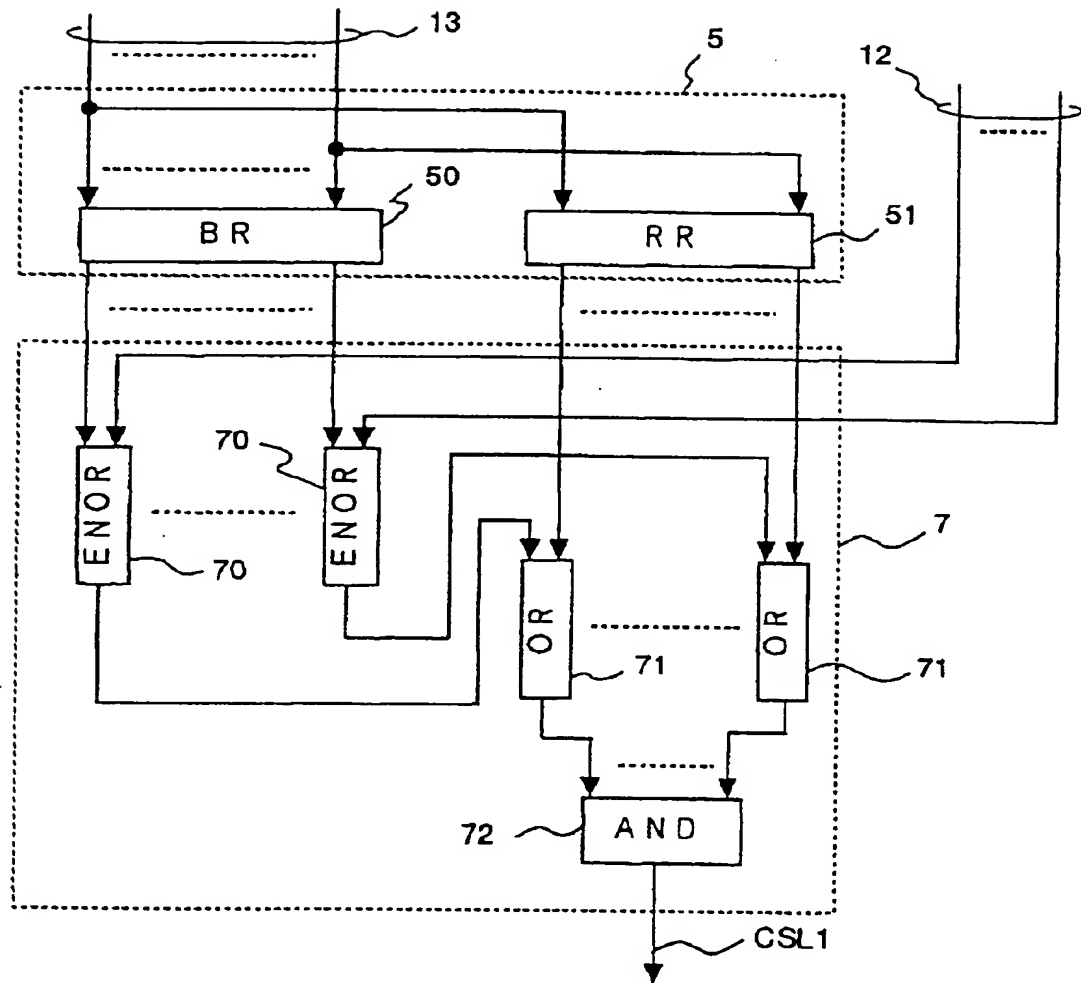
【図2】

第2図



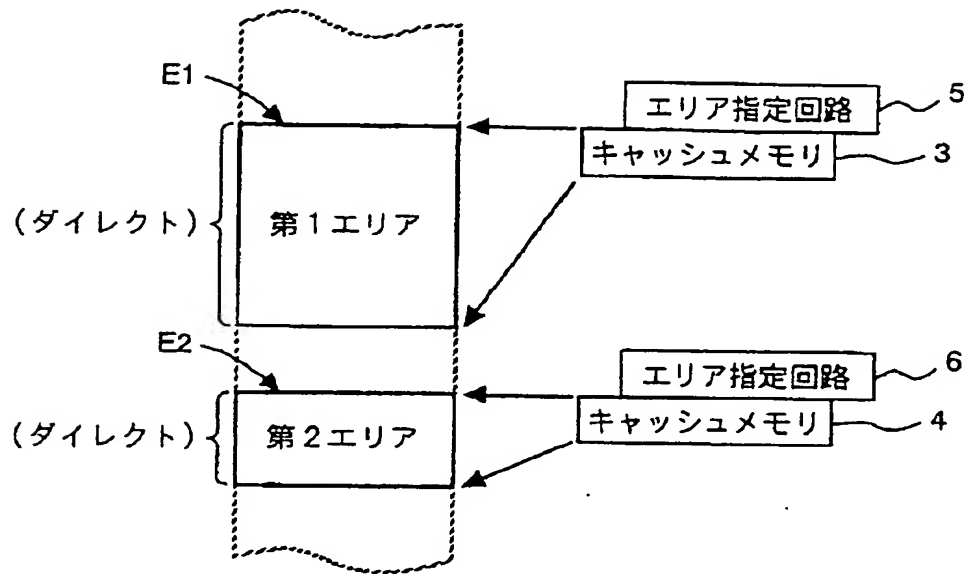
【図3】

第3図



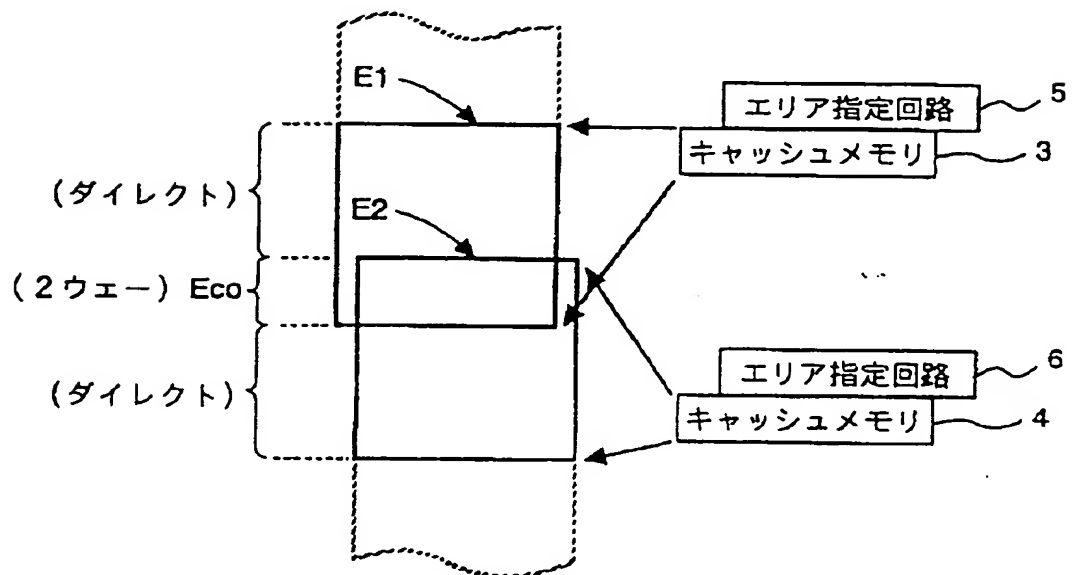
【図4】

第4図



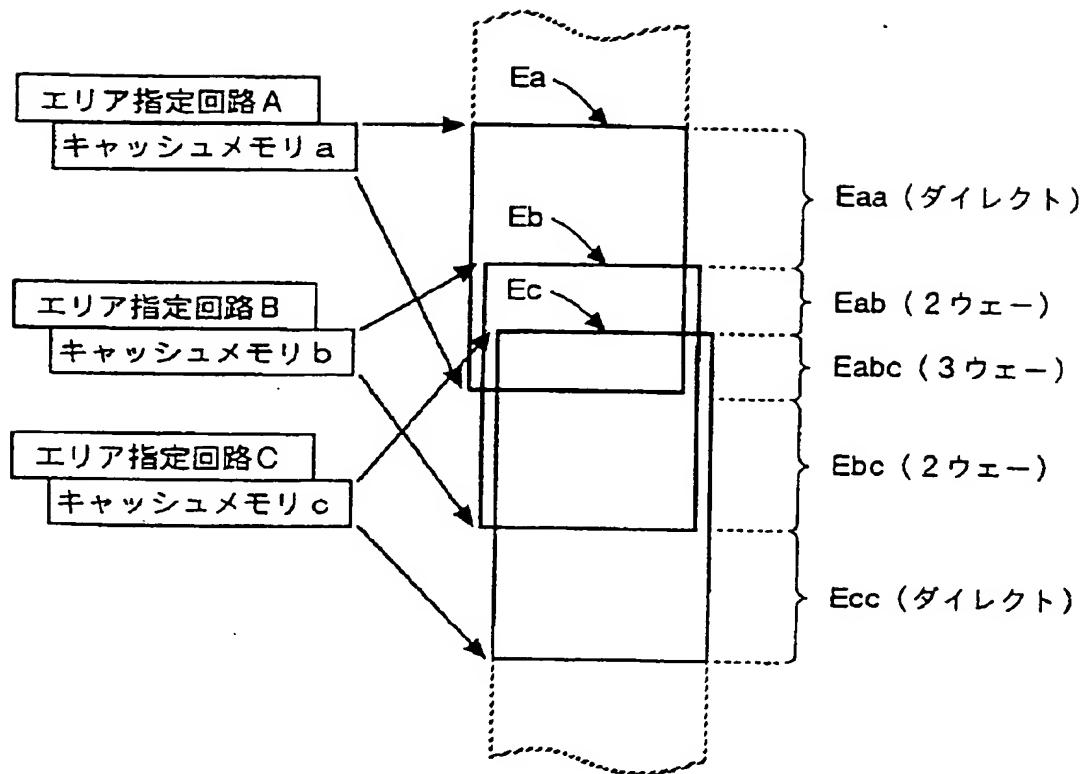
【図5】

第5図



【図6】

第6図



【国際調査報告】

国際調査報告		国際出願番号 PCT/J P98/03172	
A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl ⁸		G 06 F 12/08	
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl ⁸		G 06 F 12/08	
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報		1926~1996年	
日本国公開実用新案公報		1971~1994年	
日本国登録実用新案公報		1994~1996年	
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	J P, 5-120133, A (松下電器産業株式会社), 18. 5月. 1993 (18. 5. 93) (ファミリーなし)	1-12	
Y	J P, 8-263377, A (日本電気株式会社), 11. 10月. 1998 (11. 10. 96) (ファミリーなし)	1-12	
A	J P, 62-135944, A (日本電気株式会社), 18. 6月. 1987 (18. 6. 87) (ファミリーなし)	7. 11-12	
A	J P, 2-188847, A (工業技術院長), 24. 7月. 1990 (24. 7. 90) (ファミリーなし)	12	
A	J P, 58-14391, A (富士通株式会社), 27. 1月. 1983 (27. 1. 83) (ファミリーなし)	9-10	
A	J P, 54-60833, A (日本電気株式会社), 16. 5月. 1979 (16. 5. 79) (ファミリーなし)	9-10	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」 先行文献ではあるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に関する文献		「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 25. 11. 96		国際調査報告の発送日 10.12.96	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 廣瀬 文雄	5 B 9643
		電話番号 03-3581-1101 内線 3547	

国際調査報告

国際出願番号 PCT/JP96/03172

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P. 6-231044, A (インターナショナル・ビジネス・マシーンス・コーポレーション), 19. 8月. 1994 (19. 8. 94) (ファミリーなし)	9-10

フロントページの続き

- (72)発明者 大泉 正恭
東京都昭島市美堀町 5 - 5 - 7 日立超シ
拝島寮
- (72)発明者 片岡 健
東京都杉並区下井草 4 - 20 - 28
- (72)発明者 中井 竜男
東京都小平市上水本町 5 - 22 - 3 若葉東
寮 C 110
- (72)発明者 宮崎 光弘
東京都東村山市恩多町 1 - 59 - 2 グリー
ンドーム B 325
- (72)発明者 村山 洋介
東京都東村山市恩多町 1 - 59 - 2 グリー
ンドーム B 319

【要約の続き】
最適化できる。

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。